



CURRENT-LIMITING OUTPUT DRIVE CIRCUIT FOR GATE-ARRAY CIRCUIT

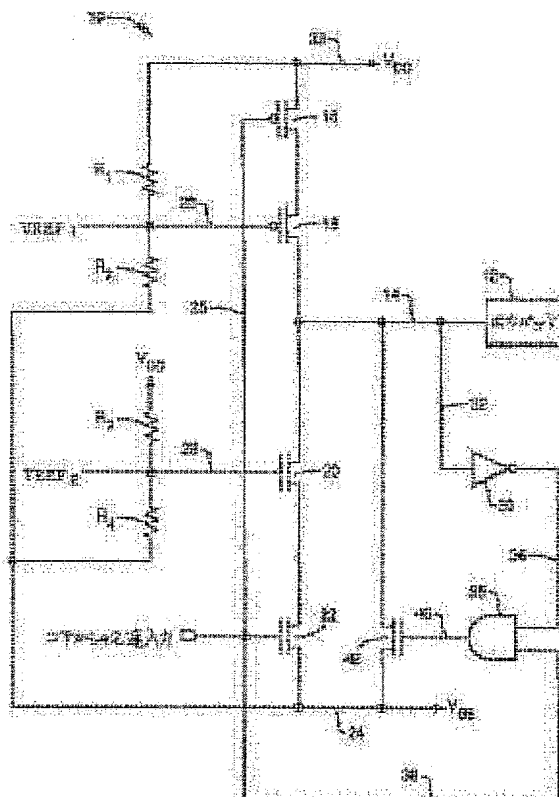
Patent number: JP7007413 (A)
Publication date: 1995-01-10
Inventor(s): HARORUDO ESU KURAAFUTSU +
Applicant(s): AT & T GLOBAL INF SOLUTION +
Classification:
- international: **H03K17/687; H03K19/003; H03K19/017; H03K19/0175; H03K19/0185;** (IPC1-7): H03K17/687; H03K19/0175; H03K19/0185
- european: H03K19/003K4; H03K19/017B2
Application number: JP19930347267 19931227
Priority number(s): US19920996994 19921228

Also published as:

 JP3478580 (B2)
 US5444401 (A)

Abstract of JP 7007413 (A)

PURPOSE: To reduce generated grounding repelling/power supply noise by providing an output driving circuit the output current of which is not correlated with the supply voltage, load capacitance, temperature, and processed variable as far as the voltage, capacitance, temperature, and variable are within specified limits to limit the quantity of an electric current. **CONSTITUTION:** An output driving circuit is provided with two N-type FETs 20 and 22 connected in series and two P-type FETs 16 and 18 connected in series and the four-transistor trains connected between a positive supply voltage VDD and a grounding voltage VSS. The gates of the FETs 16, 18, 20, and 22 connected to the voltages VDD and VSS and having channel electrodes are connected to each other and driven by binary data inputs.; The gates of the P-type FET 18 and N-type FET 20 are respectively connected to higher and lower positive reference voltages VREF1 and VREF2 and an output pad 12 is connected to the coupling section of the channel electrodes of the FETs 18 and 20. In addition, an active pull-down circuit which provides a capacity that makes an electric current to flow excessively is connected to the output pad 12.



Data supplied from the **espacenet** database — Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-7413

(43) 公開日 平成7年(1995)1月10日

(51) Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 3 K 19/0185

17/687

19/0175

8321-5 J

H 0 3 K 19/ 00

1 0 1 D

9473-5 J

17/ 687

F

審査請求 未請求 請求項の数 2 F D (全 7 頁) 最終頁に続く

(21) 出願番号 特願平5-347267

(22) 出願日 平成5年(1993)12月27日

(31) 優先権主張番号 9 9 6 9 9 4

(32) 優先日 1992年12月28日

(33) 優先権主張国 米国 (U S)

(71) 出願人 592089054

エイ・ティ・アンド・ティ グローバル
インフォメーション ソリューションズ イン
ターナショナル インコーポレイテッド
アメリカ合衆国 45479 オハイオ、デイトン
サウス バターソン プールバード
1700

(72) 発明者 ハロルド エス. クラフツ

アメリカ合衆国 80919 コロラド、コロラド
スプリングス、タモラ ウェイ
2575

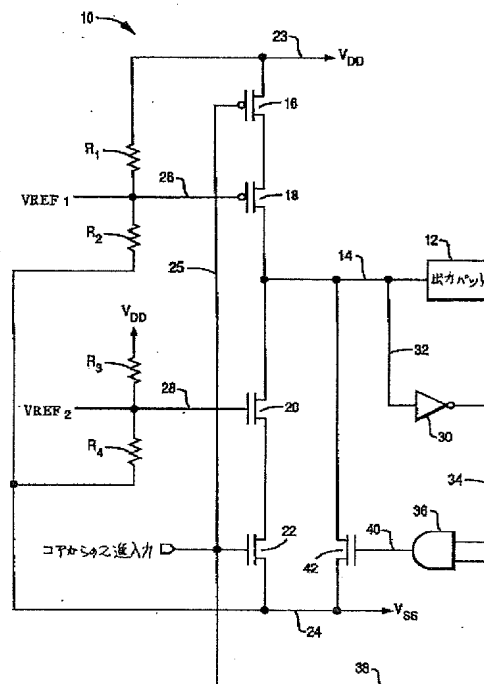
(74) 代理人 弁理士 西山 善章

(54) 【発明の名称】 ゲートアレイ回路用電流制限出力駆動回路

(57) 【要約】

【目的】 定格からの変動が制限されている限り供給電圧、負荷キャパシタンス、温度および処理変数とは独立した出力電流を有する出力駆動回路。

【構成】 出力駆動回路は2つの基準電圧を用いて出力電流を制限したプルダウントランジスタを用いて電圧、負荷キャパシタンス、温度および製造工程の変動があっても論理低値が実現できるように成してある。



【特許請求の範囲】

【請求項 1】 出力パッドと、
前記出力パッドに出力を接続してある電流制限出力駆動回路と、
論理低値レベルを達成するため前記出力パッドからのさらなる電流を流せるように前記出力パッドに接続してあるプルダウン回路を含むことを特徴とする出力駆動回路。

【請求項 2】 正の供給電圧と接地電圧の間に接続してある反転 CMOS 電流制限出力駆動回路を駆動して、これの入力における論理低値がこれの出力端子において TTL 論理高値レベルを出力する段階と、
前記反転 CMOS 電流制限出力駆動回路および前記出力端子に接続してあるプルダウン回路を駆動して論理高値が前記出力端子において TTL 論理低値を出力するように成す段階を含むことを特徴とする TTL 回路を駆動するための CMOS 反転回路の出力を提供するための方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は CMOS 集積回路用出力駆動回路に関し、より特定すれば接地電位の反跳および電磁的干渉に対する感受性を減少した該駆動回路に関する。

【0002】

【従来の技術】 CMOS 集積回路において、ゲートアレイとして周知の回路形式が存在する。ゲートアレイはその装置に必要な全ての拡散領域を含む基板上に製造する。これらの拡散領域がアレイ状に配列させたトランジスタ、特に電界効果型トランジスタ (FET) を形成する。設計工程はそれぞれの FET および FET のグループを 2 進ゲートに相互接続し、所望の 2 進数機能を提供する。CMOS は高密度技術であり、非常に複雑な機能を実現することが出来る。さらに、CMOS ゲートアレイを用いて設計者が 2 進回路を迅速かつ安価に作成できるような論理回路設計言語ならびにソフトウェアが存在している。

【0003】しばしば見られるように、ゲートアレイ集積回路の実行する機能はトランジスタトランジスタ論理 (TTL) 回路に接続する。つまりゲートアレイ回路の出力駆動回路は電流を十分に増減することで TTL 入力を駆動して、TTL 入力を駆動した CMOS 出力から TTL 入力へ接続する導線に電荷を注入する能力を有すべきである。CMOS 出力駆動回路の TTL 駆動仕様に適合する標準的設計により CMOS 出力駆動回路が 1 ~ 2 ボルトの間の出力電圧で定格電流の数倍の電流を流すようになる。この剰余電流は CMOS ゲートアレイ出力駆動回路において、また TTL 入力回路において、さらに両方の回路を組み込んでいるシステムにおいて雑音の問題を引き起こす。この種の雑音はゲートアレイ集積

回路の電力バスの低電圧側における雑音が接地の反跳、また電力バスの高電圧側における雑音が電力供給雑音と呼ばれる。

【0004】このような雑音の問題は複数の出力駆動回路がゲートアレイをシステム電力供給部の高圧側および低圧側と結合する 1 本またはそれ以上の共通ピンを通して電流を流しているという事実に関連している。これまでの解決方法の 1 つはゲートアレイ集積回路あたりの電力供給ピンの本数を増やすことだった。このような方法には経済的制約が存在するが、電力供給用接続に使用するパッケージのどのピンについても、論理処理用として集積回路へまたは集積回路から論理信号を流すことの出来るピンはこれより 1 本少ない。つまり、それぞれの 2 進出力ピンについて 2 本以下の電力供給ピンしか使用しない限り、この種の雑音の問題はある程度残存することになる。

【0005】接地反跳ならびに電源供給雑音の問題に対する別の解決方法は出力駆動回路により加減する電流を動的に制限することである。公知の動的制限回路は供給電圧レベルやトランジスタの相互コンダクタンスおよび多結晶シリコンまたは単結晶シリコンの内部固有抵抗率などの回路パラメータに敏感である。このような回路は特定の供給電圧または付加の形式においては十分に機能するが、温度、電力供給電圧、付加、ゲートアレイで問題となる製造工程の変動などの広い範囲にわたって良好な動作を行なうことは出来ない。

【0006】

【発明が解決しようとする課題】本発明の目的は定電流出力駆動回路を提供することである。

【0007】本発明の別の目的は該回路の作動曲線上的大電流を流す部分で高速スイッチングできこれによって流れる電流の量を制限し生成される接地反跳／電力供給雑音を低減するような出力駆動回路を提供することである。

【0008】

【課題を解決するための手段】簡単に説明すると、本発明の 1 つの態様において、出力電流が供給電圧、負荷キャパシタンス、温度、処理変数が仕様限界以内である限り出力電流がこれらと関連しないような出力駆動回路を提供することにより前述の目的を達成する。

【0009】本発明の 1 つの態様において、2 個の N 型 FET の直列接続と直列に接続した 2 個の P 型 FET の直列接続を有し、これら 4 個のトランジスタ列が正の供給電圧と接地電圧の間に接続してある出力パッド駆動回路を提供することにより前述の目的を達成する。これらの電圧に接続したチャネル電極を有する FET のゲートを相互に接続してあり、2 進データ入力として駆動する。真ん中の 2 個の FET については、P 型 FET はゲートを高い方の正の基準電圧に接続してあり、N 型 FET はゲートを低い方の正の基準電圧に接続してある。出

力パッドは真ん中のP型FETのチャネル電極と真ん中のN型FETのチャネル電極の結合部に接続する。さらに、電流を余分に流す容量を提供する能動プルダウン回路を出力パッドに接続する。

【0010】本明細書は本発明と見なし得る請求の範囲を特に記載し明確に請求する添付の請求項を結論と成しているが、本発明は添付の図面を参照して以下の詳細な説明からよりよく理解できるものと考えられる。

【0011】

【実施例】図1を参照すると、低雑音電流制限CMOS出力駆動回路10が図示してある。出力駆動回路10はこれが組み込まれるゲートアレイなど大きな集積回路（図示していない）の出力パッド12に接続する。出力駆動回路10は線14経由で出力パッド12に接続する。

【0012】出力駆動回路10は4個のFET16、18、20、22の直列接続を有する。FET16、18、20、22において、術語ドレインおよびソースの代わりに術語チャネル端子電極（CTE）を使用する。高密度集積回路のFETがゲート素子に対して高度な対称性を成しそれぞれの独立した装置のCTE接続を交換した場合にも等しく良好な作動が行なえるためこの表記が妥当である。

【0013】FET16は最終的にVddに接続している集積回路の正の電圧バス23に第1のCTEを接続したPチャネル型素子である。FET16の第2のCTEはFET18の第1のCTEに接続する。FET18もPチャネル型素子で、第2のCTEを線14およびFET20の第1のCTEに接続してある。FET20はNチャネル型素子で第2のCTEをFET22の第1のCTEに接続してある。FET22もNチャネル型素子で、最終的にVssに接続している集積回路の接地バスに第2のCTEを接続してある。要するにFET16～22のチャネルが直列に接続されている。

【0014】FET16およびFET22のゲートはどちらも線25で接続してあり出力駆動回路10にコア論理回路（図示していない）からの2進入力を供給する。

【0015】抵抗R1およびR2は正電圧バス23と接地電圧バス24の間で第1の分圧回路を構成する。これらのバスは雑音および負荷が存在しない場合それぞれVddとVssに相当する。分圧回路の中点は線26でFET18のゲートに接続する。中点における電圧Vref1は $V_{ss} + (V_{dd} - V_{ss}) \cdot (R2) / (R1 + R2)$ である。同様に、抵抗R3およびR4は正電圧バス23と接地電圧バス24の間で第2の分圧回路を構成する。電圧Vref2はFET20のゲートに線28で接続する。中点における電圧Vref2は $V_{ss} + (V_{dd} - V_{ss}) \cdot (R4) / (R3 + R4)$ である。前記抵抗は全て拡散抵抗でよい。さらに、Vref1とVref2は、FETゲートに流れる電流が小さいので、チ

ップ空間を節約するために他の出力駆動回路へ接続してもよい。

【0016】電圧Vref1およびVref2はそれぞれFET18とFET20の相互コンダクタンスを設定する。設定した相互コンダクタンスは正電圧バス23からFET16およびFET18を経由して2進高値出力として供給可能な電流量およびFET20およびFET22を経由して接地バス24へ2進低値出力として減少可能な電流量を制限する。

【0017】典型的なCMOSまたはTTL負荷では、2進高値として出力パッド12へ供給する電流は小さくFET16およびFET18を導通させる上で問題はない。しかしTTL負荷の2進低値としては、出力パッドから流れる電流は基本的にバイポーラ・エミッタ電流でFET20およびFET22を導通させるには、特にVref2に応じてFET20の供給する相互コンダクタンスの制限があると問題となり得る。そのため出力駆動回路10はその一部として追加のプルダウン回路を有している。

【0018】プルダウン回路は線32で出力パッド12へ入力を接続したインバータ30を有する。インバータ30の出力は線34で2入力ANDゲート36の第1の入力に接続する。2入力ANDゲート36の第2の入力は線38でコア論理回路からの2進入力に接続する。これはFET22のゲートに接続したのと同じ入力である。2入力ANDゲート36の出力は線40でFET42のゲートに接続する。FET42はFET20およびFET22と同様のNチャネル型素子である。FET42の一方のCTEは線14および出力パッド12に接続する。FET42の第2のCTEは接地バス24へ接続する。

【0019】インバータ30の入力における閾値電圧は電流制限FET20および22の論理低値出力電圧より小さくなるように選択する。つまりFET20およびFET22が出力パッド12と線14の電圧をインバータ30の入力の閾値電圧以下に引き下げると、FET42はTTL負荷を駆動する最小論理低値電圧以下に出力パッド12と線14の電圧を引き下げる。ここではインバータ30とANDゲート36の論理応答が可能なようにコア論理回路からの2進入力の持続が充分長いものと仮定している。

【0020】図2を参照すると、本発明の第2の実施例が図示してある。CMOS電流制限出力駆動回路10'は図1に図示した出力駆動回路10と実質的に同一であるが、VddおよびVssからVref1'およびVref2'を誘導する好適な方法として抵抗R1、R2、R3、R4をFET50、52、54、56で置換している点が異なっている。

【0021】FET50は第1のCTEを正電圧バス23'に接続し第2のCTEをFET52の第1のCTE

に接続し、ゲートを接地バス24'に接続してあるPチャンネル型素子である。FET52もPチャンネル型素子で、前述の第1のCTE以外に第2のCTEはゲートおよびFET18'へのVref1'入力である線26'へ接続してある。抵抗R5は線26'とVssの間に接続しており、FET50およびFET52と分圧回路を構成してVref1'を提供する。

【0022】FET54は第1のCTEを接地バス24'へ接続し第2のCTEをFET56の第1のCTEへ接続しゲートを正電圧バス23'に接続してあるNチャンネル型素子である。FET56もNチャンネル型素子で、前述の第1のCTE以外に、FET20'へのVref2'線である線28'とゲートへ接続した第2のCTEを有する。抵抗R6は線28'とVddの間に接続しFET54およびFET56と共に分圧回路を構成してVref2'を提供する。

【0023】FET50およびFET54は正電圧バス23'と接地バス24'の間の差により導通状態にバイアスしてある。FET50とFET54のチャンネル抵抗は正電圧バス23'と接地バス24'の差が減少すると増大し、逆に差が増加すると減少する。つまりVref1'とVref2'を動的に変化させることで製造工程における変動に起因する出力電流の変化を打ち消している。同時に、FET52およびFET56はほとんど一定の基準電圧Vref1'とVref2'を提供するダイオードとして接続する。つまりFET52とFET56はFET18'とFET22'に対する補償を提供する。FET16'とFET22'の全体的高価は図1に図示した抵抗R1、R2、R3、R4により利用可能な動的電流制限より大きい。

【0024】回路10'の残りの部分の動作は図1に図示した回路10の動作と同一である。1つ以上の出力駆動回路10にVref1およびVref2を用いることが出来るのと同様に、Vref1'およびVref2'も1つ以上の出力駆動回路10'に使用することが出来る。

【0025】ここで図1、図2、コア論理回路からの入力についてパッド12'における出力の電圧と電流の関係が図示してある図3を参照する。出力電圧がインバータ30または30'の閾値電圧に達すると、FET42または42'が導通し始め出力駆動回路10または10'を流れる電流量が短時間増加してから接地バス24または24'へのカットオフ電圧の減少のため電流が非常に急峻に減少する。減少量は破線で図示してある。

【0026】図2をここで参照すると、出力駆動回路1

0'はゲートアレイ集積回路に好適な用途を有している。FET16'、18'、20'、22'を直列に提供するには、ゲート絶縁製造技術を用いて必要な絶縁を達成する。FET50、52、54、56は最良の動的制限を得られるようにFET16'、18'20'、22'の対応する形式と同一の構造および特性を有するべきである。

【0027】本発明はこれの好適実施例を参照して図示および説明を行なっているが、態様、詳細および用途における各種の変化を本発明の範囲内で成しうることは当業者には理解されよう。たとえば、所望すれば外部Vref1およびVref2電圧を用いることが出来る。

【0028】

【発明の効果】本発明は該回路の作動曲線上の大電流を流す部分で高速スイッチングできこれによって流れる電流の量を制限し生成される接地反跳／電力供給雑音を低減するような出力駆動回路を提供する。

【図面の簡単な説明】

【図1】本発明による出力駆動回路の略図である。

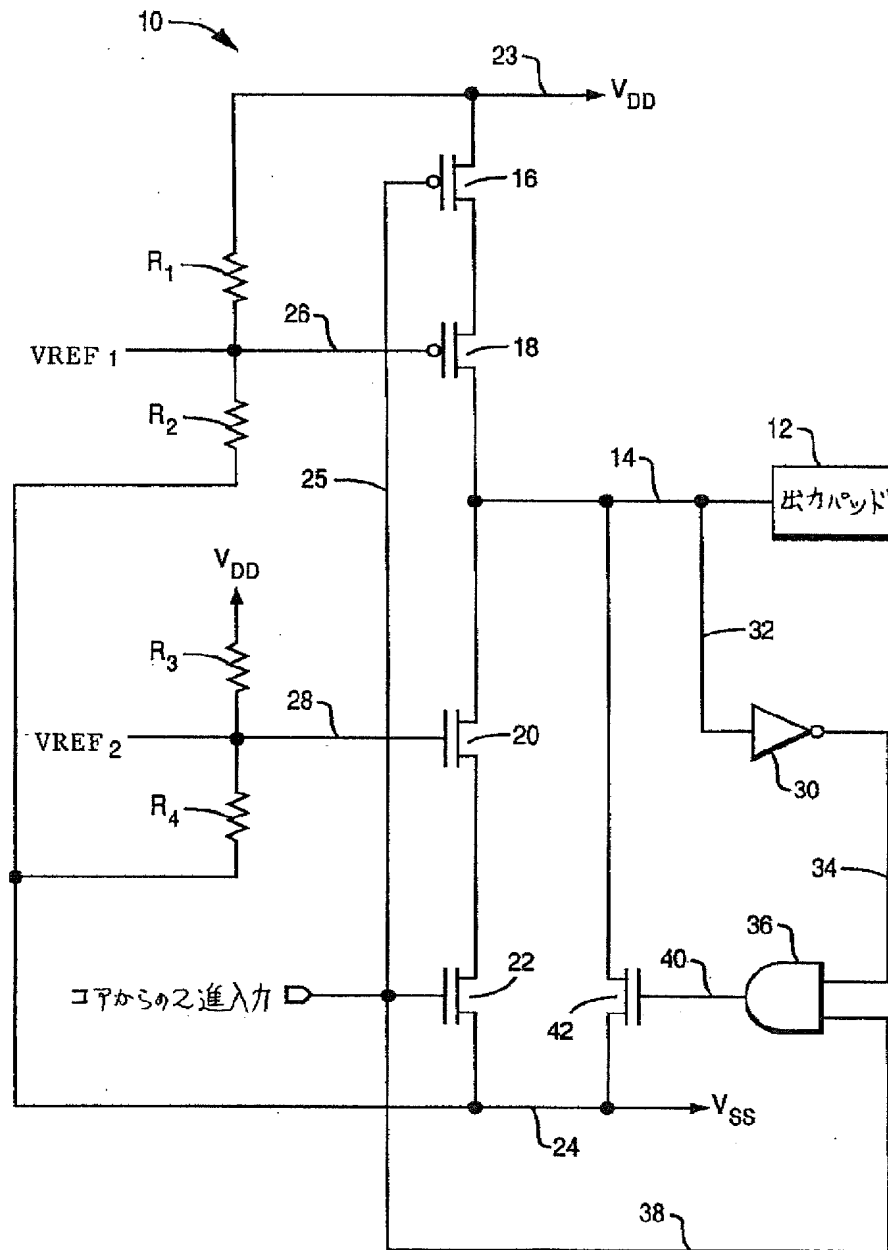
【図2】本発明による出力駆動回路の第2の実施例の略図である。

【図3】図2に記載した回路の電圧および電流の特性の特性図である。

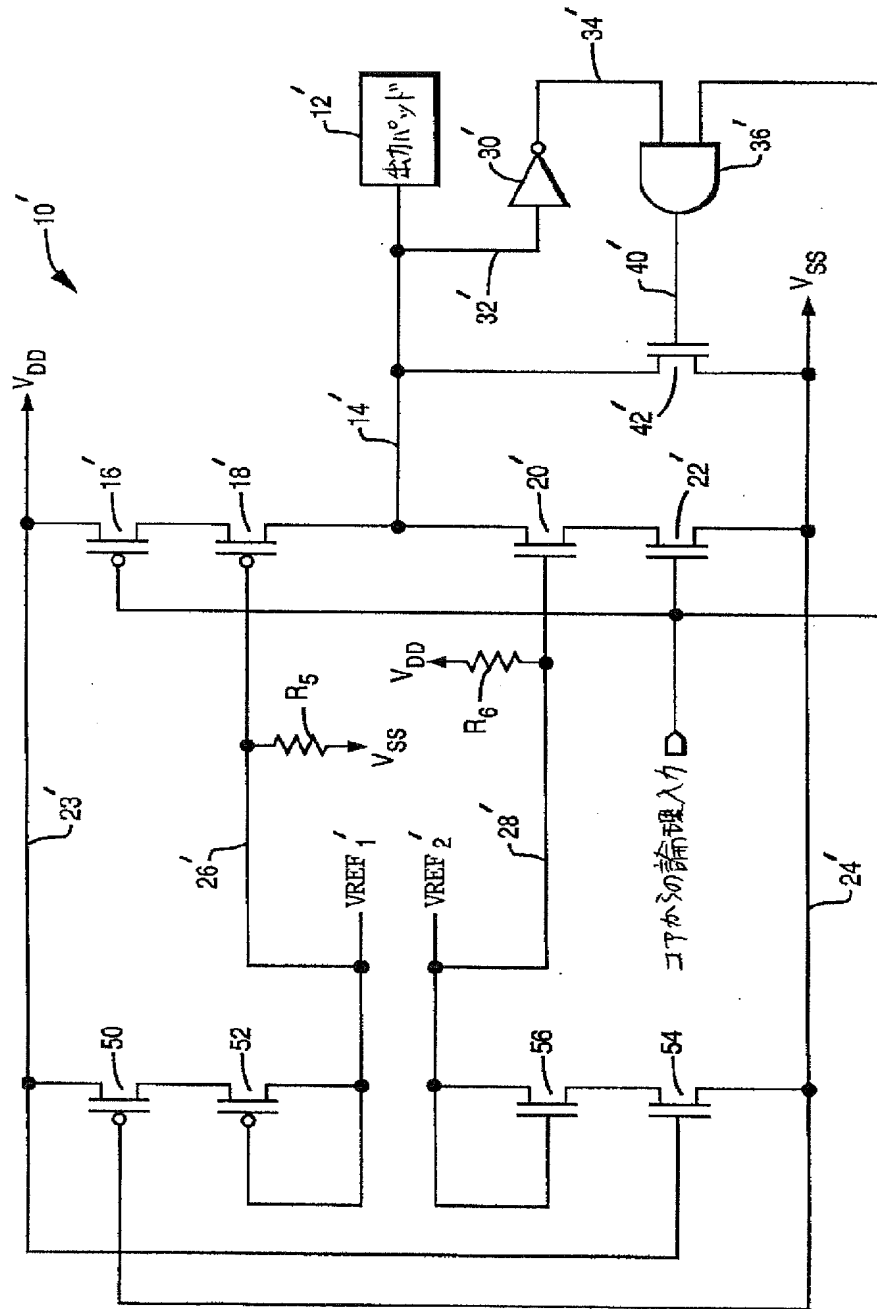
【符号の説明】

10	出力駆動回路
12	出力パッド
16	FET
18	FET
20	FET
22	FET
23	正電圧バス
24	接地バス
30	インバータ
36	2入力ANDゲート
42	FET
50	FET
52	FET
54	FET
56	FET
R1	抵抗
R2	抵抗
R3	抵抗
R4	抵抗
R5	抵抗
R6	抵抗

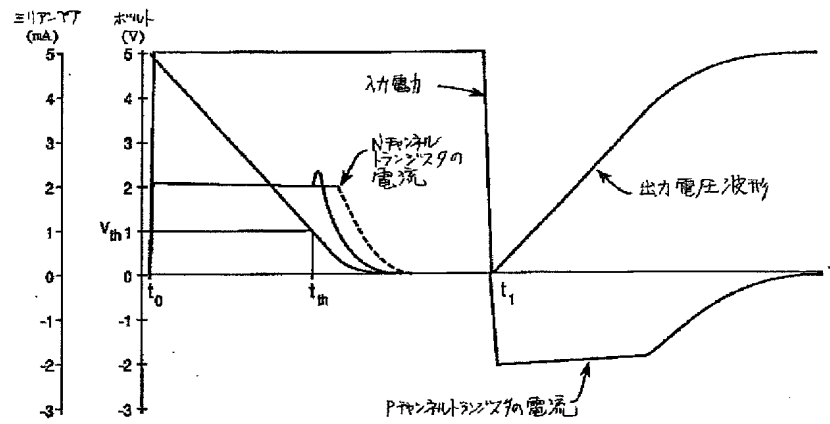
【図1】



【図2】



【図 3】



フロントページの続き

(51) Int. Cl. ⁶

識別記号

庁内整理番号

F I

技術表示箇所

8321-5 J

H O 3 K 19/00

1 0 1 F